

GdR SEEDS

Réunion du GT PCB du 6 novembre 2018

Cyril BUTTAY

Présents

- Boyan Djuric (LAPLACE/Merce)
- Denis Labrousse (Satie)
- Cyril Buttay (Ampère)
- Mickaël Petit (Satie)
- Laurent Dupont (Satie)
- Benjamin Loyer (satie)
- Fadel Bikinga (G2ELab)
- Yvan Avenas (G2ELab)
- Céline Combettes (LAPLACE)
- François Lechleiter (CIMULEC)
- Vincent Bley (Laplace)
- Mounira Berkani (Satie)
- Yoann Pascal (Satie)
- Abdelhakim Bourrennane (LAAS)
- Said Bensebaa (Satie)

Présentation de la société CIMULEC (par F. Lechleiter)

Le groupe possède 3 usines : CIMULEC (metz, technologies spéciales, environnements sévères), Systronic (Les Ulys, spatial), CSI Sud Ouest (Toulouse, petits volumes). 170 employés, 2nd en France.

À l'heure actuelle, dans le monde, 95% du PCB est fait en chine, Cimulec se spécialise dans les produits très techniques pour garder une production en France.

Technologies disponibles : multicouches, Rigid Flex, drains thermiques, trous métallisés borgnes ou aveugles, haute densité, couches résistives, microvias, mélange de matériaux dans un même PCB.

Pour les structures particulières, ils soumettent les PCB à des "simulations d'assemblage", c'est à dire des cycles thermiques qui reproduisent les conditions subies par une carte lors de l'assemblage des composants (3 ou 5 pour les PCB qui peuvent être amenés à être réparés, ça consiste à soumettre le PCB à un profil de température de brasage), puis à 500 cycles VRT (-55°C/+125°C)

Présentation ensuite de différentes structures fabriquées par CIMULEC, et discussion sur les méthodes d'alignement inter-couches, qui reposent sur des piges, mais également sur des mesures RX et des corrections de déformation

Présentation additionnelle spécifique pour les composants enfouis.

- Résistances formées sur couche résistive spécifique

- composants discrets enfouis, avec connexion par microvia. Exemple de résistances 0402 enfouies (les composants plus petits posent des problèmes d'alignement). Ça nécessite des finitions cuivre épais sur les composants, ou nickel or palladium (l'étain n'est pas fiable). Il faut essayer de placer les composants sur la fibre neutre du circuit imprimé, même si dans certains cas, des structures asymétriques fonctionnent
- Connexion discrets enfouis montés par brasure. Les finitions NiPdAu ou Cu marchent bien. Les intermétalliques formés lorsqu'on laisse de l'étain posent des problèmes de fiabilité.
- Puces nues connectées par vias (y compris des deux côtés) ou brasées (cas de composants RFID)

Présentation "Intégration 3D de semiconducteurs de puissance à structure verticale à refroidissement réparti" Yvan Avenas

Présentation d'un projet à venir (TAPIR), basé sur une conception modulaire, dans laquelle chaque module embarque son refroidissement. Une première étude montre que cette distribution des puces sur une plus grande surface permet de diminuer largement la masse du dissipateur. Ces modules peuvent alors s'agencer en série, parallèle, former des cellules de commutation...

Second projet (Coolpack) avec laboratoires SIMAP et LEGI, qui porte sur un empilement de modules sandwich, entre lesquels sont intercalés des éléments de mousse de cuivre parcourus par un fluide diélectrique et caloporteur.

Soft Interconnection, Bojan Djuric

Présentation d'une revue des méthodes d'interconnexion sur puce : wirebonding, brasure, frittage, soudure par diffusion, pressage, électrodéposition, circuit imprimé, interfaces structurées.

La technologie sur laquelle se concentre Bojan est l'interconnexion par micro/nanofils de cuivre. Une puce est pressée entre deux PCB couverts localement (sur un piédestal) de fils de 200nm de diamètre, 60 microns de haut. Il y a tout un travail pour faire cet assemblage en empêchant la résine des prépregs de s'infiltrer entre les fils. Un axe est l'utilisation de couches adhésives type pyralux.

La croissance des nanofils se fait au travers d'une membrane d'alumine, qui est ensuite retirée par dissolution dans de la soude.

Intégration of the multiphase power convert in multi terminal silicon chips — Abdelhakim Bourennane

Intégration monolytique de puces multi-pôles, et interconnexions entre puces via un PCB. Certaines des puces multipôle IGBT nécessitent des isolations internes, pour lesquelles il faut réaliser un mur vertical sur toute la hauteur de la puce. Ces puces sont fabriquées en utilisant la filière IGBT du LAAS. Le mur traversant, en particulier, a posé beaucoup de problèmes de réalisation : gravures DRIE, remplissage d'oxyde de silicium (sans vacuoles)...

Les puces sont assemblées sur un PCB, et leur structure multipôle permet de réduire le nombre d'interconnexions (fils de bonding) nécessaires. Certaines puces sont montées "flip-chip", en utilisant un masque de kapton pour l'isolation, et une colle conductrice pour l'assemblage. La

réalisation d'une maille de commutation "orthogonale" permet d'obtenir une inductance parasite de l'ordre de 4nH, contre 10nH pour une maille classique. En remplaçant les fils de bonding par un clip cuivre, ils arrivent à moins d'un nanohenry

La prochaine étape est une puce unique intégrant les interrupteurs haut et bas d'une structure onduleur multiphase. D'autres approches (bi- ou tri-puces) sont également présentées, en fonction des technologies de réalisations utilisées.

Annonces

- La société IEEE Electronic Packaging Society (EPS) France organise une journée sur le thème du PCB le 5/12/18 à Thales Velizy.

Fin de réunion à 16h