

SUJET de THESE:

Etude du vieillissement de modules de puissance à base de puces SiC en environnements sévères pour applications automobile et aéronautique.

1. Contexte scientifique

L'utilisation d'une électronique de puissance dans des ambiances sévères, notamment hautes températures, est un enjeu stratégique majeur dans de nombreux domaines applicatifs. Notamment dans le contexte actuel de la transition énergétique vers les véhicules électriques et le domaine de l'aéronautique. Le silicium étant physiquement limité dans ses applications pour des températures de l'ordre de 200°C avec des limitations en fréquence de commutation, ce sont les matériaux semi-conducteurs "grands gaps", notamment SiC et GaN qui sont visés dans ces applications. Ces matériaux présentent l'avantage de pouvoir dépasser ces limites en laissant envisager des fonctionnements à la fois à hautes tensions, hautes températures, à fortes densités de courant et hautes fréquences. En particulier, les composants MOSFETs (Metal-Oxyde-Semiconductor-Field-Effect-Transistors) à base de carbure de silicium (SiC) ont de très fortes potentialités. Cependant, les problèmes restants à résoudre sont à la fois au niveau de la puce active elle-même et du packaging. Pour la puce, il s'agit d'un problème de stabilité (de dérive) de la tension seuil des composants lié à des phénomènes physiques réversibles de piégeage/dé-piégeage de charges dans l'oxyde de grille. Pour le packaging, les problèmes sont liés aux profils de missions en environnements sévères pour lesquels les technologies d'interconnexions et d'assemblages doivent prouver leur fiabilité. Cela d'autant que les composants actifs (MOSFETs) à base de SiC sont de dimensions réduites, nécessitant des mises en parallèles de ces puces pour atteindre les niveaux de courants requis par les applications et entraîne des densités de puissance et des contraintes thermiques considérables. Par ailleurs, la fatigue thermique résultant de contraintes thermo-mécaniques cycliques dans l'assemblage mène infailliblement à des endommagements.

Un fort enjeu persiste sur l'élaboration de méthodologies fiables de vieillissement spécifiques à ces composants. Cet enjeu est à la fois d'ordre scientifique, économique et industriel. Peu de travaux à l'heure actuelle ont été menés sur de telles méthodologies compte tenu de la problématique des phénomènes de piégeage dans l'oxyde. C'est l'objectif de cette thèse.

L'équipe du SATIE, localisée à Versailles, a une expérience et un savoir-faire reconnu dans le domaine des méthodologies et tests de vieillissement des modules de puissance.

2. Problématique - Objectifs - Démarche méthodologique

L'objectif principal des travaux est l'élaboration et la validation d'une méthode d'évaluation de la durée de vie des technologies d'assemblages concernant les modules de puissance à base de transistors MOSFETs SiC.

La démarche habituellement mise en œuvre s'appuie à la fois sur des tests de vieillissements accélérés par « power cycling » [1] et par de la modélisation thermo-mécanique [2] pour corréliser les stress à la durée de vie et extrapoler vers les conditions de stress non accélérées. Concernant le test de « power cycling », celui-ci consiste à imposer des cycles de températures aux composants et à l'assemblage par auto-échauffements des puces de puissance jusqu'à révéler des dégradations

qui doivent rester représentatives de celles observées en application. Des critères d'arrêts sur des paramètres indicateurs de vieillissement sont utilisés.

Les tests de vieillissement nécessitent de contrôler : i) les conditions de stress (ΔT_j) et ii) le suivi des indicateurs de vieillissement. Concernant la première condition, les dérives observées sur le ΔT_j ne doivent être dues qu'aux dégradations matérielles irréversibles de l'assemblage ou des interconnexions. Ceci suppose une estimation correcte (et fiable) de la mesure de température de jonction durant le vieillissement. Pour la seconde condition, là également, les dérives observées sur les paramètres indicateurs du vieillissement ne doivent être dues qu'aux dégradations matérielles irréversibles, conséquences du vieillissement. Or, il a été montré qu'à haute température les risques d'une dérive de la tension seuil par des mécanismes de piégeages de charges dans l'oxyde de grille [3,4] étaient susceptibles d'apporter des dérives (non souhaitées) à la fois sur la mesure de température de jonction (suivant le choix du paramètre électrique thermosensible - TSEP), et donc du stress appliqué (ΔT_j) et sur les paramètres indicateurs de vieillissement [5,6,7].

Une première étape sera donc de vérifier, suivant les conditions de tests et les caractéristiques des composants, la présence ou non de ces phénomènes et le cas échéant de les évaluer. Dans le cas où ces phénomènes seraient négligeables, les méthodes de vieillissement classiques en mode DC (*direct current*) pourraient être mises en œuvre. Dans le cas contraire, il sera nécessaire de mener des investigations sur le choix le plus pertinent du TSEP et de procéder à un vieillissement en mode MLI (*modulation de largeur d'impulsion*) où la génération du cycle de température est due à la fois à des pertes de conduction et des pertes de commutations [8,9].

Une fois la méthode de test identifiée et validée, un plan d'expérience devra être réalisé en cohérence avec des profils de mission applicatives afin d'établir une loi expérimentale de durée de vie vis-à-vis de tels stress.

Enfin, pour compléter l'étude expérimentale, des modélisations analytiques et numériques seront mises en œuvre afin de simuler l'impact des phénomènes de piégeages de charge sur le comportement électrothermique de ces composants, lors du vieillissement par fatigue thermique. Cela devrait permettre de mieux comprendre les interactions fines électriques et thermiques distribuées sur les surfaces des puces lors de la répétition cyclique des stress.

3. Travaux à réaliser :

3.1 Etude bibliographique :

Il s'agit de faire un état de l'art exhaustif sur les technologies d'assemblages ainsi que des mécanismes de dégradations des modules de puissance à base de composants SiC. Un état de l'art sur les méthodes et les caractérisations du vieillissement devra également être fait concernant les technologies SiC. Ce travail devra aboutir à une proposition de méthode de vieillissement par cyclages actifs en cohérence avec les profils de mission envisagés. Il devra mener également à l'identification d'indicateurs potentiels d'endommagement d'une part et au choix d'un ou plusieurs paramètres thermosensibles d'autre part afin d'estimer la température de jonction durant les tests de vieillissement.

3.2 Caractérisations préliminaires

Les caractéristiques électriques en fonction de la température des composants seront réalisées à l'aide du traceur de caractéristiques courant-tension (I-V), tension seuil (V_{th}), résistance à l'état passant (R_{on}), etc... La caractéristique thermique sera également mesurée à l'aide de l'équipement T3STER. Ces caractérisations préliminaires auront pour objectifs de guider le choix méthodologique du type de test de power cycling (mode DC ou MLI).

Enfin, des caractérisations de divers paramètres thermosensibles (TSEP) potentiels seront également réalisées à cette étape afin de choisir l'indicateur de température de jonction (Tj) le plus pertinent et de procéder à sa calibration.

3.3 Tests de vieillissement et analyse des dégradations

Il s'agira d'adapter un banc de test en cyclage actif existant, l'instrumenter et réaliser les tests de caractérisation et de vieillissement (en conditions accélérées) des dispositifs de test préalablement sélectionnés. A cette fin, il sera nécessaire au préalable d'établir un plan d'expérience. Il s'agira également de mettre en œuvre les moyens d'observation et d'analyse afin de mettre en lumière et comprendre les mécanismes de dégradations qui auront pu se produire lors du vieillissement, et d'identifier les facteurs principaux et aggravants. Ce travail apportera des informations pour les activités de modélisations à suivre.

3.4 Modélisations

Il s'agira dans un premier temps de modéliser de manière analytique les phénomènes de piégeage/dé-piégeage de charges qui auront été observé et caractérisés dans les étapes précédentes en fonction des paramètres de stress. Ce modèle devra permettre de simuler les dérives observées de la tension seuil des composants ainsi que les impacts sur les autres caractéristiques électrothermiques des composants. Après une étape de validation, ce modèle sera intégré dans un modèle multi-physiques couplés par éléments finis (électrique, thermique et mécanique) qui aura pour but de simuler les stress cycliques subis lors des tests et faire la corrélation avec les essais expérimentaux.

Une extraction des liens entre les grandeurs physiques (contraintes, déformations, énergies de déformations) et les paramètres de stress thermiques appliquées (ΔT_j , ton) devra être réalisée. Le modèle devra permettre de mener à extrapoler les résultats obtenus en conditions accélérées (forts ΔT_j) vers les conditions normales.

Les travaux pourront s'ouvrir vers une proposition d'une démarche prédictive d'estimation de durée de vie à partir de la définition physique d'un composant de puissance à base de MOSFETs-SiC, associé à un profil de mission donné. Le but final étant de pouvoir estimer cette durée de vie dès les phases amont de conception par simulations, avec un minimum de tests.

4. Planning provisoire – organisation des travaux

Les travaux se dérouleront dans les locaux de l'Université Gustave Eiffel à Versailles (laboratoire SATIE) suivant le macro-planning ci-dessous :

	Semestre 1	Semestre 2	Semestre 3	Semestre 4	Semestre 5	Semestre 6
Bibliographie						
Caractérisations préliminaires						
Tests de vieillissement & analyses						
Modélisations						
Rédaction du mémoire						

- **Les travaux bibliographiques** se dérouleront sur le premier semestre seront élaborés sur la base de l'expérience du SATIE avec les moyens d'accès aux bases bibliographiques et des ouvrages et normes spécifiques existants. Les sorties de cette étape doivent alimenter les tâches de caractérisations, de tests accélérés et de modélisations. Rapport bibliographique (T0+6mois)

- **Les caractérisations préliminaires** seront réalisées avec les moyens du laboratoire. En sortie, cette

étape doit permettre de décider du type de « power cycling » à réaliser (mode DC ou PWM) suivant la stabilité des caractéristiques de la grille. Ils doivent également mener au choix du TSEP le plus pertinent pour les composants à tester (T0+12mois).

- **Les tests de vieillissement & analyses** s'effectueront avec les moyens disponibles au laboratoire. En sortie, ces tests doivent fournir les durées de vie pour la technologie étudiée et pour un stress donné. Ces résultats serviront d'entrées aux modèles de durée de vie. Rapport sur le banc de test accélérés et les résultats obtenus (entre T0+6 & T0+24mois).

- **Les modélisations** se feront sur environ 18 mois (entre T0+6 et T0+30). Les outils de calculs à mettre en œuvre sont (Matlab/Simulink, ANSYS multiphysics, Simplorer,...). Les modèles devront permettre de simuler numériquement les stress thermo-mécaniques subis lors des tests de vieillissement. La sortie attendue de ces modèles est de permettre l'extrapolation vers les faibles stress après corrélation avec les tests expérimentaux sous conditions accélérées. Un rapport sur les modèles sera à fournir (T0+24).

- **la rédaction du mémoire** devra faire l'objet de la dernière année de la thèse avec les éléments des rapports précédents.

5. Références

- [1] L.R. GopiReddy et al., « Power Cycle Testing of Power Switches: A Literature Survey », IEEE Trans. on Power Electronics, VOL. 30, NO. 5, MAY 2015
- [2] N. Dornic *et al.*, "Stress-based Model for Lifetime Estimation of Bond-Wire Contacts using Power Cycling Tests and Finite Element Modelling", IEEE Journal of Emerging and Selected Topics in Power Electronics, vol.7, n°3, pp.1659-1667, 2019
- [3] A.J. Lelis, R. Green, D.B. Habersat, M. El, "Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC-MOSFETs", IEEE Trans. Electron Devices, vol 62, 316–323, 2015
- [4] R. Ouaida et al, "Gate Oxide Degradation of SiC MOSFET in Switching Conditions", IEEE Electron Device Letters, vol.35, n°12, 2014.
- [5] A. Ibrahim et al., "Power cycling issues and challenges of SiC-MOSFET power modules in high temperature conditions", Microelectronics Reliability 58, pp.204–210, 2016
- [6] F. Yang et al., "Evaluation of Aging's Effect on Temperature-Sensitive Electrical Parameters in SiC MOSFETS", IEEE Trans. on Power Electronics, Vol. 35, N°6, 2020
- [7] J. Chen et al., "Investigation on Effects of Thermal Stress on SiC MOSFET Degradation through Power Cycling Tests", IEEE Applied Power Electronics Conference (APEC), 2020
- [8] C. Herold et al., "Power cycling methods for SiC Mosfets", ISPSD 2017.
- [9] Ui-Min Choi et al., "Advanced Accelerated Power Cycling Test for Reliability Investigation of Power Device Modules", IEEE Trans. on Power Electronics, VOL. 31, NO. 12, DECEMBER 2016

Contact :

Zoubir KHATIR, zoubir.khatir@univ-eiffel.fr , Ali IBRAHIM, ali.ibrahim@univ-eiffel.fr

Comment postuler ?

Le dépôt des candidatures se fait en ligne via ce lien : https://www.ifsttar.fr/offres-theses/liste_sujet.php