

Laboratoire : SATIE, site ENS Paris-Saclay
4 Avenue des sciences
91190 Gif/Yvette

Contact : Mickaël PETIT
Laboratoire SATIE – ENS Paris Saclay, bureau 1S88
mickael.petit@ens-paris-saclay.fr

L'utilisation de transistor à grand gap (SiC ou GaN) dans les convertisseurs statiques permet d'accroître significativement leurs rendements. En effet, leur faible résistance à l'état passant et leur rapidité de commutation réduisent les pertes. Cependant ce second point les rend sensible aux parasites de câblages tels que les inductances de maille ainsi qu'aux capacités parasites des inductances de filtrage de sortie.

Ce premier défaut peut être partiellement corrigé par un découplage de qualité avec un condensateur proche de la cellule de commutation et ayant un comportement capacitif sur gamme fréquentielle suffisamment large.

A l'image de la qualité du découplage d'entrée, le filtrage de sortie doit lui aussi être proche de la cellule de commutation et son comportement doit être inductif sur large gamme de fréquence.

Les technologies d'inductances bobinées souffrent de fortes capacités parasites, de par le nombre important de spires nécessaires à leurs fabrications. Leur bande passante est souvent limitée à une centaine de kHz.

Au-delà de cette fréquence, les technologies planar peuvent être mise en place. La figure 1 compare des exemples d'inductances bobinées et planar. Cette technologie utilise des pots de circuits magnétiques standardisés et les spires sont générées à partir des pistes du PCB (circuit imprimé). Cette configuration limite l'apparition de capacités parasites compte tenu des faibles surfaces en regards mais est limitée en termes de valeurs d'inductance ou de courant admissible, de par la faible épaisseur largeur des pistes. Enfin, ce composant occupe une surface importante sur le PCB ce qui peut présenter un atout pour la gestion thermique.

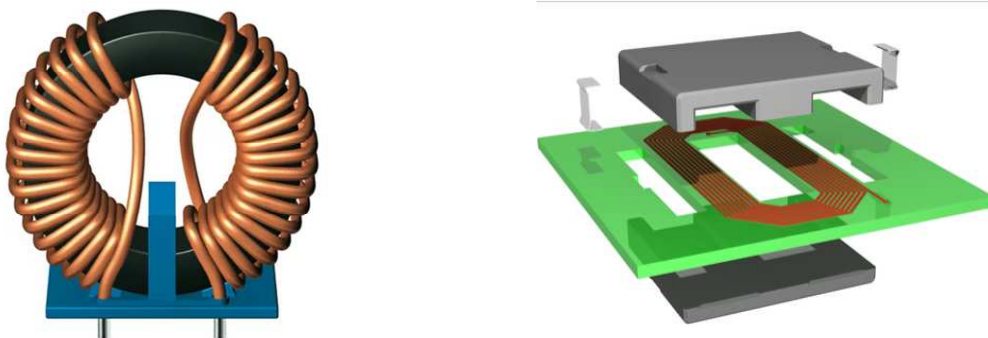


Figure 1 Inductance classique (à gauche) et planar (à droite)

Afin de résoudre ce problème, les laboratoires AMPERE (Lyon), LAPLACE (Toulouse) et SATIE (Paris) se sont associés pour développer de nouvelles technologies d'inductances. Cette fois, les composants magnétiques sont enfouis dans le PCB. Le substrat PCB est fonctionnalisé par un matériau magnétique lors de l'étape de lamination. Le cuivre du PCB sert de nouveau de spires. Les faibles surfaces en regard de spires à spires réduisent les capacités parasites. De plus, la gestion thermique de ces inductances est facilitée par le rapport d'aspect. En effet ce composant extrêmement plat présente une grande surface d'échange avec l'air ambiant. La figure 2 montre un exemple de réalisation.



Figure 2 Inductances enfouies

Objectifs du stage :

Différentes topologies d'inductances ont d'ores et déjà été réalisées au laboratoire. Le stage se déroulera en deux phases. Dans un premier temps, le (la) stagiaire devra caractériser d'un point de vue électromagnétique les inductances réalisées. Cela nécessitera la prise en main d'appareils de mesures spécifiques comme un analyseur d'impédance ou de réseaux. Dans un second temps, des simulations sous la plateforme logiciel ANSYS permettront de comprendre l'évolution des caractéristiques de l'inductance avec la fréquence. Selon l'avancée du stage, des simulations et mesures thermiques sont envisageables.

Poursuite après le stage

Cette proposition de stage rentre dans le cadre du projet ANR TECOCIP qui vise, entre autres, à analyser la faisabilité d'enfouissement de composants passifs. Ce stage peut se poursuivre par une thèse sur ce même sujet en incluant des aspects fiabilités et matériaux magnétiques. Cette thèse sera une collaboration entre les laboratoires Ampère et SATIE. L'étudiant(e) sera principalement basé(e) sur le site de l'ENS Paris Saclay à Gif/Yvette.