

Contribution à la conception de module de puissance embarquant des condensateurs de découplage

Début souhaité : au fil de l'eau 2024

Consortium pour l'encadrement

- Paul-Etienne VIDAL – Professeur des Universités (**Directeur de thèse**), équipe e-ACE² du Laboratoire Génie de Production de l'Ecole Nationale d'Ingénieurs de Tarbes.
- Stéphane BAFFREAU, Maître de conférences (**Co-directeur de thèse**), équipe e-ACE², IUT Tarbes - LGP ENIT
- Bruno ALLARD – Professeur des Universités, (**Co-encadrant de thèse**) Université de Lyon, INSA Lyon, Laboratoire AMPERE-lab, UMR CNRS 5005

Candidatures

- Adresser toute correspondance à : stephane.baffreau@iut-tarbes.fr
- Ouverture des candidatures : 20/01/2024
- Fin des candidatures : au fil de l'eau
- Après une phase de sélection sur dossier des auditions par visio se tiendront sur convocation
- Début de contrat : au fil de l'eau selon négociation
- Envoyer :
 - **un CV détaillé et une lettre de motivation** détaillant en quoi votre expérience vous permettra de satisfaire les attentes.
 - **un relevé de notes MASTER 1^{er} et 2^{ème} année,**
 - **les coordonnées pour contacter une personne référente,**

Introduction du sujet

Le sujet de thèse s'inscrit dans le cadre du projet d'intérêt européen commun IPCEI ME/CT, concernant notamment la montée en valeur du semiconducteur européen.

En électronique de puissance, un macro-composant important est le module de puissance, embarquant de multiples puces à semiconducteur de puissance [1]. Le sujet ne concerne pas le composant semiconducteur de puissance à l'échelle de sa conception mais sa mise en œuvre au sein d'un module de puissance [2]. Le MOSFET en carbure de silicium (SiC) offre une possibilité de vitesse de commutation accrue. Ceci ne va pas sans difficulté à cause du comportement électrique parasite des connexions extérieures au composant. Il en va de même au sein d'un module de puissance. L'enjeu est de maîtriser l'environnement du transistor pour permettre d'en exploiter toutes les performances.

Quelle que soit la technologie du module, il existe des limitations dans le placement et le routage des puces à semiconducteur et cet ensemble donne au module une signature extérieure en termes de courant de mode commun. Il a déjà été démontré que l'implantation au sein du module de condensateur de filtrage améliore la signature électromagnétique pour diminuer la complexité des filtres extérieurs au module par exemple [3]. Par contre les condensateurs doivent occuper une place minimaliste pour ne pas impacter le routage des connexions entre les transistors, augmentant le comportement parasite que les condensateurs cherchent à atténuer. La société Murata Integrated Passive Devices a développé des condensateurs en tranchées 3D sur silicium qui répondent à cette problématique d'encombrement [4].

Or il n'existe pas de méthodologie ciblée, vérifiée expérimentalement [5], pour accompagner la conception de module avec des condensateurs intégrés. Ceci constitue un verrou technique. De même l'appréciation expérimentale [6] du gain en performance apporté par les condensateurs se heurte à des difficultés technologiques. Aussi le sujet propose d'explorer une méthodologie de conception et de l'appliquer à une technologie donnée de module de puissance à MOSFET SiC. Par ailleurs les travaux établiront une procédure expérimentale pour observer l'effet bénéfique des condensateurs et mesurer en particulier l'amélioration de la signature électromagnétique par l'implantation de condensateurs 3D silicium de la société Murata.

Questionnement et objectif scientifique

Existe-t-il une méthode de conception d'un module de puissance, validée expérimentalement, qui permet de caractériser et moduler l'influence de l'insertion de capacités de découplage DC internes ? L'objectif scientifique est d'investiguer une telle approche, avec 5 aspects :

- proposer une méthode pour déterminer la valeur des capacités de découplage à intégrer sur la base d'une spécification de performance de bruit du module: cible 1 ;
- savoir déterminer, lors de la phase de conception, l'emplacement pour l'intégration de capacités de découplage : cible 2 ;
- développer une méthode de validation expérimentale : cible 3 ;
- déterminer un modèle large bande de fréquences, validée par comparaison avec l'expérience : cible 4 ;
- caractériser et analyser le mode commun avec et sans capacités de découplage (niveau structure de conversion) : cible 5.

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARDES, 47 avenue
d'AZEREIX, 65000 TARDES.

<http://www.enit.fr>

Enjeux scientifiques et technologiques

Le premier enjeu scientifique porte sur le développement d'une méthode de conception, associée à une méthode d'évaluation des performances, qui permettent de concevoir un module avec et sans capacités de découplage intégrées et optimisées.

Le deuxième enjeu scientifique, qui peut être vu comme un sous enjeu du premier, consiste à démontrer l'intérêt de capacité de découplage intégrées par des méthodes numériques confrontées à des mesures expérimentales reproductibles.

Le premier enjeu technologique consiste à concevoir et fabriquer un module avec et sans capacités intégrées, qui puisse être adapté à un protocole de caractérisation déterminé au préalable.

Le deuxième enjeu technologique concerne l'élaboration d'un banc pour le test de l'architecture de conversion mettant en œuvre les modules avec et sans capacités de découplage intégrées, pour la mesure du courant de mode commun.

Livrables et jalons identifiés

Livrables

- L1 : descriptif d'une méthode de détermination de la valeur et du positionnement de la capacité de découplage à intégrer dans un assemblage d'un module de puissance (en vue d'un impact positif sur le bruit de mode-commun et la qualité des commutations).
- L2 : un module avec et sans capacité de découplage intégrées (CAO+ démonstrateur) associés à ses interfaces de caractérisation spécifiques.
- L3 : un rapport d'expertise comprenant la présentation et l'analyse des résultats de caractérisations expérimentales et numériques.
- L4 : un article scientifique dans une revue internationale (a minima).
- L5 : un manuscrit de thèse et une présentation de soutenance.

Jalons

- J1 : Etat de l'art.
- J2 : Règles pour la conception d'un module de puissance avec intégration de la capacité de découplage.
- J3 : Choix d'un véhicule de test (architecture de conversion) et d'une architecture de banc de test pour la mesure du mode commun.
- J4 : Présenter oralement des résultats partiels dans une conférence nationale et une conférence internationale.

Description du plan de travail envisagé

Le travail proposé dans ce sujet vise à concevoir et caractériser un même module de puissance avec et sans capacités de découplage intégrées. Ce travail devra être complété par l'observation et la quantification de l'effet bénéfique des condensateurs via des mesures montrant en particulier que les performances de commutation du module sont identiques voire améliorées, et qu'il y a amélioration de la signature électromagnétique du module. Pour atteindre ces objectifs, les travaux sont organisés en 5 tâches :

- T1 : Analyse bibliographique des méthodologies de conception de module de puissance ;
- T2 : Modélisations numériques ou jumeau (modèle équivalent et modèle 3D)
- T3 : Caractérisation expérimentale large bande de fréquences du module de puissance ;

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARDES, 47 avenue d'AZEREIX, 65000 TARDES.

<http://www.enit.fr>

- T4 : Caractérisation expérimentale en puissance ;
- T5 : Caractérisation CEM (Compatibilité ElectroMagnétique)

Dans la première tâche T1, le travail consistera à faire un état de l'art des méthodologies de conception et des méthodes de caractérisation sur une large bande de fréquences de module de puissance mettant en œuvre des composants à semi-conducteur de puissance grand gap. Cette analyse bibliographique devra donner lieu à un bilan des critères qui doivent permettre d'évaluer et de comparer des choix de conception vis-à-vis du comportement en commutation du module. Le dimensionnement des capacités de découplage et leur implémentation au plus près des composants actifs devraient notamment être référencés. Une proposition portant sur la conception et la réalisation d'un démonstrateur avec et sans capacités de découplage intégrées qui permettrait de caractériser de quelle manière l'implémentation des capacités intégrées améliore la signature électromagnétique du module de puissance, finaliserait idéalement cette première tâche.

La tâche T2, peut-être séparée en deux sous-tâches. La première consiste à spécifier un module de puissance, à en faire une CAO, et à développer ses interfaces de mesures. Dans la deuxième sous-tâche, il s'agira, d'une part, d'exploiter les résultats de mesure expérimentale afin de générer un modèle électrique équivalent du module de puissance avec et sans capacités de découplage intégrées. D'autre part, les modèles ainsi obtenus seront confrontés à ceux issus d'outils de simulation 3D communément mise en œuvre pour extraire les paramètres RLC de tels modules.

La troisième tâche, T3, concernera la caractérisation expérimentale large bande de fréquences du module de puissance. Il s'agira de déterminer expérimentalement l'ensemble des paramètres RLC constituant le module de puissance : des éléments parasites des composants semi-conducteur grand gap jusqu'aux interconnexions du boîtier du démonstrateur. Ces expérimentations reposeront principalement sur l'utilisation d'un analyseur de réseau vectoriel et nécessiteront le développement d'interfaces de caractérisation spécifiques.

La tâche T4 consistera à définir une architecture de conversion cible et l'architecture du banc de test nécessaire pour caractériser expérimentalement en puissance le démonstrateur sous contrainte de température. Les modèles élaborés précédemment, et complétés pour être en adéquation avec l'expérimentation, seront alors excités par des signaux identiques à ceux utilisés par le banc de test. Cette étape permettra ainsi de comparer les résultats de mesure à ceux simulés en utilisant les différents modèles (expérimentaux et issus d'outils 3D). L'analyse de ces résultats devra mettre en exergue les atouts et manquements de chacun des modèles.

L'ultime tâche, T5, consistera à caractériser le démonstrateur par une approche CEM. Il s'agira de vérifier par des mesures du courant de mode commun, l'impact sur la signature électromagnétique du module de puissance de la présence ou de l'absence de capacités de découplage intégrées.

Bibliographie

- [1] E. Gurpinar et al., "SiC MOSFET-Based Power Module Design and Analysis for EV Traction Systems," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, 2018, pp. 1722-1727, doi: 10.1109/ECCE.2018.8557609.
- [2] A. E. Risseh, H. -P. Nee and K. Kostov, "Fast Switching Planar Power Module With SiC MOSFETs and Ultra-low Parasitic Inductance," 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), Niigata, Japan, 2018, pp. 2732-2737, doi: 10.23919/IPEC.2018.8507509.
- [3] Z. J. Wang, F. Yang, S. Campbell and M. Chinthavali, "Development of a low-inductance SiC trench MOSFET power module for high-frequency application," 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), San Antonio, TX, USA, 2018, pp. 2834-2841, doi: 10.1109/APEC.2018.8341419.
- [4] C. Bunel, "ipdia: The 3D silicon leader," 2016 International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM), Raleigh, NC, USA, 2016, pp. 1-15, doi: 10.1109/3DPEIM.2016.7570576.
- [5] J. Fan et al., "Genetic Algorithm-Assisted Design of Redistribution Layer Vias for a Fan-Out Panel-Level SiC MOSFET Power Module Packaging," 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, 2022, pp. 260-265, doi: 10.1109/ECTC51906.2022.00049.
- [6] C. Scognamillo et al., "Electrothermal Modeling, Simulation, and Electromagnetic Characterization of a 3.3 kV SiC MOSFET Power Module," 2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Nagoya, Japan, 2021, pp. 123-126, doi: 10.23919/ISPSD50666.2021.9452207.

Profil recherché

Le (la) candidat(e) devra être issu d'une formation scientifique spécialisée dans l'électronique / électronique de puissance / génie électrique. Outre des qualités techniques avérées, le (la) candidat(e) devra posséder une curiosité scientifique pour aborder les différentes étapes proposées mais aussi être force de propositions dans le déroulement de l'étude. Une bonne maîtrise des étapes de conception ou des tests de caractérisation des cartes électroniques serait un avantage. La maîtrise des logiciels Scilab et/ou Matlab/Simulink, couplée à une connaissance d'un logiciel circuit de type LTSPICE/PSPICE est importante. Une expérience en caractérisation des paramètres S par analyseur de réseau vectoriel ou l'utilisation d'outil logiciels comme ADS ou PROTEUS seraient un atout supplémentaire. Le (la) candidat(e) nourrira des qualités en termes de relations humaines pour mener à bien des interactions avec plusieurs experts qui aideront son travail.

Le (la) candidat(e) devra également posséder un bon niveau de maîtrise de l'anglais et des qualités de communication et de synthèse écrites et orales en français comme en anglais. Idéalement, le (la) candidat(e) sera soit en fin de cursus Master Recherche, soit aura cumulé une à deux années d'expérience après son Master recherche.

Lieu de déroulement de la thèse

Les travaux se dérouleront principalement sur 2 lieux situés à 5 km l'un de l'autre :

- Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 Avenue d'AZEREIX, 65000 TARBES ;
- Plateforme PRIMES, 67 Boulevard Pierre Renaudet, 65000 Tarbes. **Cette adresse sera le lieu principal de l'étude.**

Financement

Le sujet de thèse s'inscrit dans le cadre du projet d'intérêt européen commun IPCEI ME/CT, concernant notamment la montée en valeur du semiconducteur européen.

Le(la) doctorant(e) bénéficiera d'un financement issu de ce projet européen pour une durée de 36 mois. **Salaire mensuel net de référence 1 700 €.**

Contact : paul-etienne.vidal@enit.fr

Laboratoire Génie de Production, Ecole Nationale d'Ingénieurs de TARBES, 47 avenue d'AZEREIX, 65000 TARBES.

<http://www.enit.fr>