

---

## ***Sujet Master***

### **« Méthodologie et moyens d'extraction d'indicateurs d'un déséquilibre électrothermique de composants MOSFET SiC en parallèle »**

#### ***Environnement de recherche***

Le stage bénéficiera d'un cadre professionnel stimulant qui rassemble des experts dans le domaine de l'électrification pour la transition énergétique et un des meilleurs environnements dans le domaine de l'électronique de puissance et de la fiabilité. Le laboratoire de recherche SATIE en sciences appliquées sur les systèmes et applications des technologies de l'information et de l'énergie et l'Icam, site de Toulouse, proposent un stage de master recherche. Il sera encadré par Laurent Dupont, chercheur de l'Université Gustave Eiffel sur le campus de Versailles et à l'ENS Paris Saclay, et Jean-Pierre Fradin, chercheur à l'ICAM à Toulouse. Les travaux envisagés s'intègrent dans un projet collaboratif (SiCRET+) regroupant des industriels de l'aéronautique et du spatial, de l'automobile, du ferroviaire, des réseaux électriques ainsi que des laboratoires académiques sur Toulouse, Paris, Lyon, Bordeaux pour améliorer la connaissance sur la fiabilité des modules à transistors MOSFET SiC : compréhension des modes de défaillance, développement de méthodologies de caractérisation et d'essais de vieillissement, identification de modèles de vieillissement, proposition de règles de conception des modules, surtout quand des puces sont mises en parallèle.

#### ***Contexte***

La mise en parallèle de composants d'électronique de puissance, principalement pour augmenter le calibre en courant des cellules de commutation, est une technique couramment utilisée et bien maîtrisée dans le cas de puces en Si dont le comportement, les dérives en cours de vie et les modes de défaillance sont bien connus. Dans le cas de puces à matériaux grand gap en SiC, la connaissance est beaucoup plus lacunaire et l'on peut aboutir à des comportements anormaux si les puces associées en parallèle présentent des paramètres électriques ou thermiques trop différents. Ce déséquilibre peut tout autant apparaître au cours du fonctionnement nominal ou suite à un vieillissement du fait d'une conception trop dissymétrique du module [1] [2]. Le projet SiCRET+ vise à explorer ces problématiques, ce qui nécessite de savoir caractériser séparément des puces actives assemblées dans un même module électronique de puissance, aussi bien pour des composants neufs que vieillis.

#### ***Objectif***

Le travail dans ce stage consiste à définir un circuit de commande (driver) capable de générer des excitations électriques et de faire des mesures qui permettent de rendre compte d'un état électrothermique des composants en parallèle. Un protocole de caractérisation utilisant ce driver sera à définir ; il devra permettre de dissocier les performances individuelles de ces composants alors qu'ils sont intimement liés thermiquement et électriquement par l'assemblage environnant.

Pour conduire ces essais, sous la direction d'une équipe spécialisée et de moyens originaux, une des pistes prioritaires sera de concevoir le circuit de définition des ordres de commande permettant d'accéder à des informations sensibles telles que la température des composants et leurs performances électriques. Mais, les réponses des composants MOSFET SiC sont largement affectées par l'historique des excitations au proche de la zone de la grille isolée de ce modèle de transistor. Le protocole mis au point devra fournir des informations différenciées sur puces intégrées dans le module, et non sur le module dans sa globalité. Cette méthode de caractérisation sera ensuite appliquée à différents modules pour explorer le champ et la validité de la proposition.

## **Plan de travail**

Définition du cahier des charges, réalisation et évaluation d'un circuit de conditionnement des excitations électriques pour la caractérisation robuste des conditions électrothermique d'un MOSFET SiC

Les tâches associées sont :

- Construction d'un état de l'art des méthodes de caractérisation de paramètres électriques thermosensibles adaptés aux composants MOSFET SiC, de leurs limitations en performances et en sensibilité pour estimer la température de ces composants actifs. Une attention particulière viendra classer les méthodes utilisables sous des conditions opératives, de celles sous des conditions fonctionnelles, mais hors usage et enfin celles sous des conditions spécifiques.
- Définition d'un prototype de circuit de conditionnement de la commande d'un composant MOSFET SiC pour imposer une extraction adaptée à une extraction des performances électrothermiques comparativement aux caractéristiques obtenues avec un analyseur de caractéristique B1505A. La mise en place de moyens de caractérisation de l'environnement avec des mesures locales des niveaux de potentiels, des températures par thermographie infrarouge, la mise en place de thermocouple ou de fibres optiques viendra consolider les résultats.
- Le circuit de conditionnement sera réalisé sur les plateformes technologiques de laboratoires pour qualifier la robustesse du protocole de caractérisation avec cet outil de conditionnement de l'excitation électrique. Un support de caractérisation développé en parallèle permettra d'imposer simplement des conditions de déséquilibres pour qualifier les performances et la sensibilité de la solution retenue. Des déplacements entre les différents laboratoires sont à prévoir.

## **Conditions et environnement**

*Les laboratoires bénéficient d'un environnement scientifique riche alliant enseignement et recherche. La recherche s'appuie à la fois sur la simulation et l'expérimentation, avec de nombreux outils numériques (MATLAB, SIMULINK, ALTIUM, COMSOL, CELCIUS THERMAL SOLVER, etc.) et des moyens d'essais originaux pour caractériser les performances électriques et thermiques des composants de puissance et mesurer les propriétés physiques des matériaux (Banc d'impédance thermique, analyseur de caractéristiques B1505A Keysight, Caméras thermiques recherche FLIR.*

*Dans le cadre d'un projet de laboratoire permettant d'acquérir une expertise sur le sujet ciblé, ce stage offre l'opportunité de poursuite en thèse avec un financement sur projet avec l'IRT St Exupéry.*

*Lieu de stage : TOULOUSE.*

*Durée du stage : 4 à 8 mois*

*Courriel de contact : [laurent.dupont@univ-eiffel.fr](mailto:laurent.dupont@univ-eiffel.fr), [jean-pierre.fradin@icam.fr](mailto:jean-pierre.fradin@icam.fr)*

*Rémunération du stage : forfaitaire*

[1] A. Raciti, M. Melito, M. Nania, et G. Montoro, « Effects of the Device Parameters and Circuit Mismatches on the Static and Dynamic Behavior of Parallel Connections of Silicon Carbide MOSFETs », in 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA: IEEE, sept. 2018, p. 1846-1852. doi: 10.1109/ECCE.2018.8557676.

[2] H. Li, S. Zhao, X. Wang, L. Ding, et H. A. Mantooth, « Parallel Connection of Silicon Carbide MOSFETs—Challenges, Mechanism, and Solutions », IEEE Trans. Power Electron., vol. 38, no 8, p. 9731-9749, août 2023, doi: 10.1109/TPEL.2023.3278270.